

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-158162
 (43)Date of publication of application : 17.07.1986

(51)Int.Cl.

H01L 21/88
 H01L 21/82
 H01L 27/04

(21)Application number : 59-281824
 (22)Date of filing : 28.12.1984

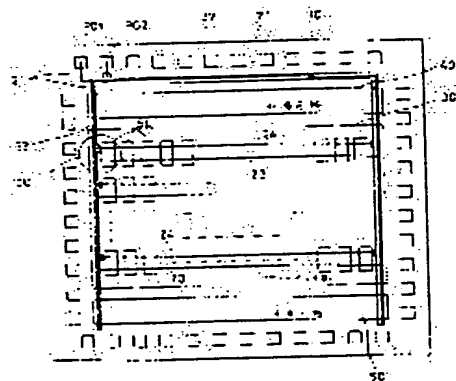
(71)Applicant : TOSHIBA CORP
 (72)Inventor : YAMADA MASAOKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To effectively suppress the voltage variation to generate in the power wirings by a method wherein the metal wiring layer on the power source side and the metal wiring layer on the grounding side having the same potential as that of the semiconductor substrate are respectively laminated on the semiconductor substrate as the lower layer and the upper layer and dielectrics are made to interpose between these metal wiring layers and between the metal wiring layer on the side of the lower layer and the semiconductor substrate.

CONSTITUTION: In case a master slice system called gate array is applied to this LSI, supply voltage VDD is impressed on a metal wiring 21, which is wired in the lower layer (first layer) of the power wiring main line part of the LSI, through a pad PD1 when the semiconductor substrate 10 of the LSI is assumed to have an earth potential and a metal wiring 22, which is wired in the upper layer (second layer) of the LSI, is earthed through a pad PD2. Out of metal wirings 23 and 24, which are respectively a power wiring in a gate array part 30, the metal wiring 23 to be selected in a VDD potential are connected with the metal wiring 21, which is the first-layer wiring in the same manner as the metal wirings 23, in a T-shaped configuration and the metal wirings 24 to be selected in a GND potential are stereophonically connected with the metal wiring 22, which is the second-layer wiring in the same manner as the metal wirings 24, through contact holes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-158162

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月17日

H 01 L 21/88
21/82
27/046708-5F
6655-5F
C-7514-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭59-281824

⑰ 出 願 昭59(1984)12月28日

⑱ 発 明 者 山 田 正 昭 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
 ⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
 ⑳ 代 理 人 弁 理 士 木 村 高 久

BEST AVAILABLE COPY

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 多数の半導体絶縁素子を含んだ半導体基板上に電源配線として配される第1および第2の2つの金属配線層をそれぞれ積層して形成するとともに、これら第1および第2の金属配線層と半導体基板との間、および第1の金属配線層と第2の金属配線層との間に静電容量素子を形成すべくそれぞれ誘電体を介在させた半導体集積回路であって、

前記第1および第2の金属配線層のうち、前記半導体基板と同電位となる金属配線層を上層に、前記半導体基板と異電位となる金属配線層を下層にそれぞれ積層した半導体集積回路。

(2) 前記第1および第2の金属配線層は、素子領域以外の電源配線領域に配される幹線電源配線である特許請求の範囲第(1)項記載の半導体集積回路。

(3) 前記半導体絶縁素子は、マスタスライス方式にて結線される単位機能素子である特許請求の範囲第(2)項記載の半導体集積回路。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は半導体集積回路に関し、特に同集積回路における電源配線構造の改良に関する。

〔発明の技術的背景およびその問題点〕

一般に半導体集積回路は、多数の半導体絶縁素子と、これら半導体絶縁素子に給電するための電源線および接地側の2種の電源配線とを備えている。

ところで、このような半導体集積回路においては、その電源配線に外部から雑音が入入するのみでなく、内部における急激なスイッチング動作に伴う電圧パルスによってもその電源配線に雑音を生じ、その雑音が回路動作に悪影響を与える不都合があった。特に、大容量のダイナミックRAMや高集積化されたLSIなどにおいては、同時に動作する回路素子が多くなることから、電源配線に

こうした素子の動作に伴なり電圧変動も生じ易く、これによっても回路動作が不安定になる。

〔発明の目的〕

この発明は、雑音その他により電源配線に生じる電圧変動を有効に抑制して内部回路素子に対する給電能力を大幅に向上することのできる半導体集積回路を提供することを目的とする。

〔発明の概要〕

この発明では、半導体基板上に前述した2種の電源配線として配される第1および第2の金属配線層のうちの半導体基板と異電位となる側（いわゆる電源側）の金属配線層とこの半導体基板との静電容量（いわゆる対接地容量）が大きければ大きいほど上述した電圧変動が吸収され易くなり、電気的にも安定することに着目して、これら第1および第2の金属配線層のうち、上記電源側の金属配線層を下層に、半導体基板と同電位となる接地側の金属配線層を上層にそれぞれ積層するようにして、これら各金属配線層の間、および下層側の金属配線層と半導体基板との間に静電容量素子

を形成すべくそれぞれ誘電体を介在させる。こうした配線層構造とすることにより、電源側金属配線層の上述した対接地容量としては、半導体基板との直接の静電容量の他に、これと等価的に並列接続される接地側金属配線層との静電容量も加わることになり、該電源の対接地容量は飛躍的に増大することとなる。

また、実用上さらに好ましくは、電源配線とする金属配線層の上記積層構造は、前記能動素子が配される素子領域以外の電源配線領域、すなわち電源配線幹線部にのみ採用して、素子領域にある各素子への給電は、これら積層構造をもつ金属配線層にそれぞれ電気的に接続された積層されない第3および第4の金属配線層を通じて行なうようにする。一般に素子領域では、電源配線以外にも種複所要の論理機能を実現するための多くの配線が施されることから、このように電源配線幹線部だけで上記対接地容量の増大を図り、配線が複雑となる素子領域で通常の一層の電源配線に戻すことは、該半導体集積回路の製造を容易にする上で、

また局所的な配線不能領域の発生を防ぐ上で有効である。素子領域にある能動素子がマスタスライス方式にて結線される単位機能素子であるような場合には、こうした効果も特に顕著である。

〔発明の効果〕

このように、この発明にかかる半導体集積回路によれば、電源側金属配線層の対接地容量を確実に増大することができる。したがって、電源電圧に前述したような変動が来たとしてもこれは有効に抑制され、回路素子には常に安定した給電がなされるようになる。このことは換言すれば、回路素子への給電能力が向上し、該集積回路自体の電気的特性が改善されることを意味する。勿論これによって該集積回路のより一層の動作の高速化も期待される。

またこの発明によれば、少なくとも電源配線幹線部の金属配線層（通常該集積回路の配線のうち最も線幅の広いことが要求される配線層である）を積層して形成することから、スペースファクタも向上する。したがってこの発明は、集積度の向

上にも大きく寄与する。

また特に、電源配線の積層構造を上記幹線部にのみ採用して、素子領域には通常の単層構造による電源配線を通じて給電するようにすれば、該集積回路の製造の容易さ等を図る上で有益となる。

〔発明の実施例〕

はじめに、第8図を参照してこの発明の原理を説明する。

第8図において、10は接地電位にあるとする半導体基板、21は電源配線のうちこの半導体基板10と電位差Vをもって異電位にある金属配線（電源側金属配線）、そして22は同じく電源配線のうちこの半導体基板10と同電位の接地電位にある金属配線（接地側金属配線）であり、この発明では、同第8図に示すように、半導体基板10上にこれと異電位にある金属配線21を第1層配線として、また半導体基板10と同電位にある金属配線22を第2層配線として、それぞれ同図に示す静電容量C1およびC2をもたせて積層して形成する。これにより、従来は、すなわち電

源配線を単層構造とする方式では、電源側金属配線21と半導体基板10との間の静電容量C1のみが電源の対接地容量として有効であったのが、同対接地容量として、該静電容量C1に等価的に並列に接続される同金属配線21と接地側金属配線22との間の静電容量C2も追加されるようになり、この場合の対接地容量は必然的に増大する。

これがこの発明における対接地容量増大の原理である。

あり、こうした対接地容量の増大によって電源電圧の変動は有効に抑制されることとなる。

第1図に、こうした原理に基づいて構成したこの発明にかかる半導体集積回路の一実施例を示す。

この実施例は、いわゆるゲートアレイと呼ばれるマスタスライス方式のLSIにこの発明を適用したものである。

すなわちこのLSIは、半導体基板10上に、格子状に配列された多くの単位機能素子8Lからなるゲートアレイ部30と、演算回路やメモリ回路等からなる付属回路40および50とを基本的に見えて構成され、上記単位機能素子8L上または

単位機能素子8L間の配線領域における配線パターンのみが同LSIの品種に応じて設計製造されるようになっている。

さてこの実施例では、こうしたLSIに対して、同第1図に示すように、上記ゲートアレイ部30および付属回路40、50に共通に給電するいわゆる電源配線幹線部に上記原理に基づく電源配線の積層構造を採用し、ゲートアレイ部30内における

各単位機能素子8Lへの給電は、通常の単層構造にある金属配線23および24を通じて行なうようにしている。すなわち、このLSIの半導体基板10が接地電位にあるとすれば、上記電源配線幹線部の下層(第1層)に配線される金属配線21にはパッドPD1を通じて電源電圧(VDD)が印加されるようになり、この上層(第2層)に配線される金属配線22はパッドPD2を通じて接地(GND)されるようになるもので、ゲートアレイ部30内の電源配線である上記金属配線23および24のうち、VDD電位に選択される金属配線23は同じく第1層配線である上記金属配線21

BEST AVAILABLE COPY

とT字状に接続され、GND電位に選択される金属配線24は第2層配線である上記金属配線22とコンタクトホールを通じて立体接続される。

こうした構造について、第2図～第4図を参照してさらに詳述する。

第2図は、第1図における円CC部分を拡大して示すとともに、上記単位機能素子8Lの構造の一例を示している。

すなわちこの単位機能素子8Lは、n⁺形基板であるとする半導体基板10においてP⁺ウェル31と、n⁺拡散層32a、32b、32cと、ポリシリコン等からなるゲート電極34a、34bとによって構成される2つのnチャネル(nch)トランジスタ、および同基板10において、P⁺拡散層33a、33b、33cと、ゲート電極34a、34cとによって構成される2つのPチャネル(pch)トランジスタの計4つのトランジスタを有しており、等価的には第3図に示すような回路構成となっている。

こうした単位機能素子8Lの構成を前提として、

この実施例の要部である第2図のA-A'線部、B-B'線部、およびC-C'線部における各断面構造を第4図に示す。

まず第4図(A)は、第2図のA-A'線部における断面構造を示すものであり、この部分、すなわち電源配線幹線部では、同図に示すように、GND電位にある半導体基板10上に、例えば酸化シリコン(SiO₂)からなる誘電体層61と、VDD電位となる金属配線層21と、これも例えばSiO₂からなる第2層目の誘電体62と、GND電位となる金属配線層22とが順次堆積された形となっている。なお、これら金属配線層21および22としては、例えばアルミニウム(Al)が用いられる。上記誘電体層61および62のこれら金属配線層21および22と接する部分において、先の原理で説明した静電容量C1およびC2(第8図参照)がそれぞれ形成される。

次に第4図(B)は、第2図のB-B'線部における断面構造を示すものであり、この部分、すなわちGND電位となる金属配線同士が結合される部分で

は、同図に示すように、予め第1層配線として配線され、かつ誘電体層61に設けられたコンタクトホールCH1を介して前記単位機能素子SLのPチャネルトランジスタの1つに電気的に結合された金属配線層24と、第2層配線として配線された上配金属配線層22とが誘電体層62に設けられたコンタクトホールCH2を介して立体結合された形となっている。電源配線幹線部（同図左端部分）における構造は、第4図(A)に示したものと基本的に同等である。またこの部分においては、同じ第1層配線であっても、素子領域における金属配線層24と上配幹線部における金属配線層21とは電気的に絶縁されている。なお同第4図(B)において、63は前述したトランジスタのゲート絶縁膜を示している。他の部分は第2図の同一番号部分とそれぞれ対応する。次の第4図(C)においても同様である。

そして第4図(D)は、第2図のC-C'線部における断面構造を示すものであり、この部分、すなわちVDD電位となる金属配線同士が結合される部分

では、同図に示すように、素子領域にあって誘電体層61に設けられたコンタクトホールCH3を介して前記単位機能素子SLのNチャネルトランジスタの1つに電気的に結合される金属配線層23と、上記電源配線幹線部を構成する金属配線層21とが共に第1層配線として一体に形成され、この金属配線層21の上部に同じく電源配線幹線部を構成する金属配線層22が第2層配線として誘電体層62を介して積層された形となっている。

このように、電源配線の配線構造を前述した原理に基づく積層構造とすることにより、該電源の対地容量は飛躍的に増大することとなり、上記トランジスタ等に対して安定かつ高効率な給電を行なうことができるようになる。

またこの実施例のように、電源配線幹線部のみを上記対地容量の増大を図るべく積層構造とし、素子領域にある各素子への給電はこれら積層構造をもつ金属配線層21および22にそれぞれ電気的に接続された単層構造の第3および第4の金属配線層23および24を通じて行なうようにすれ

ば、同素子領域にある各素子間の配線も容易となる。特にこうしたマスタスライス方式のLSIにおいては、局所的な配線不能領域の発生を防ぐ上でも有益である。

なお、この実施例では、積層構造とする電源配線幹線部の第1層配線すなわち金属配線層21を第4図に示したように平坦に積層された誘電体層61の上に敷設するようにしたが、他に例えば、第4図(A)に対応する部分、すなわち先の第2図でいうA-A'線部における断面部分に対応する断面図として別に第5図に示すように、上記誘電体層61の上配金属配線層21が敷設される部分にこれと沿うよう予め溝Mを形成しておき、この形成した溝Mの上から上配金属配線層21を積層するようにしてもよい。このように、誘電体層61の金属配線層21が敷設される部分の層厚を積極的に薄くすれば、これに追従して同金属配線層21の対地容量が増大する。すなわち前述したこの発明の効果としてより大きな効果が期待できる。こうした例での第4図(B)および(C)に対応する

部分の図示は割愛したが、いずれも同電源配線幹線部における構造はこの第5図に準ずるとする。ただし、上記溝Mの形成様様は他に第6図に示すような態様としてもよい。

ところで、前述したこの発明の原理は、次のことをも意味する。

同原理をCMOSの回路に適用した例として第7図を参照して説明する。

すなわちCMOSにおいては、P形基板11がVDD電位にあり、Pウェル12がVSS電位にあることから、P形基板11上に電源配線を形成する場合には、第7図右側に示すように、該基板11と異電位のVSS電位にある金属配線層71を第1層配線として下層に形成して、VDD電位にある金属配線層72を第2層配線としてその上層に形成し、Pウェル12上に電源配線を形成する場合には、逆に第7図左側に示すように、該Pウェル12と異電位のVDD電位にある金属配線層72を第1層配線として下層に形成して、VSS電位にある金属配線層71を第2層配線としてその上層に形成す

るようにする。このように、たとえ2つの金属配線層の積層関係が逆転してもそのベースとなる半導体基板（Pウェルも特定の性質をもった基体であるから、この場合上記Pウェルも独立した半導体基板とみなす）の電位に応じて復舊的に同原理を全うするようにすれば、前述と同様の効果を得ることができる。

電体層、81…単位機能素子。

代理人弁理士 木村 高久

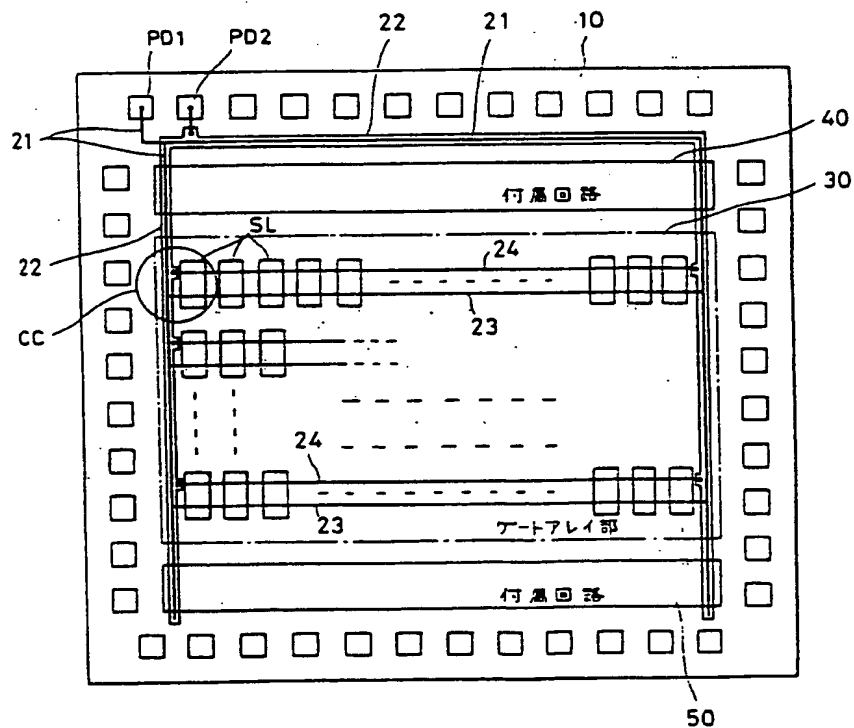
請求範囲

4. 図面の簡単な説明

第1図はこの発明にかかる半導体集積回路の一実施例を示す平面略図、第2図は第1図に示した実施例の部分拡大平面図、第3図は第2図に示した単位機能素子の電気的構成を示す等価回路図、第4図は第2図のA-A'線部、B-B'線部およびC-C'線部における同実施例の断面構造を模式的に示す断面図、第5図および第6図および第7図はそれぞれこの発明にかかる半導体集積回路の他の実施例における部分断面構造を模式的に示す断面図、第8図はこの発明の原理を示す略図である。

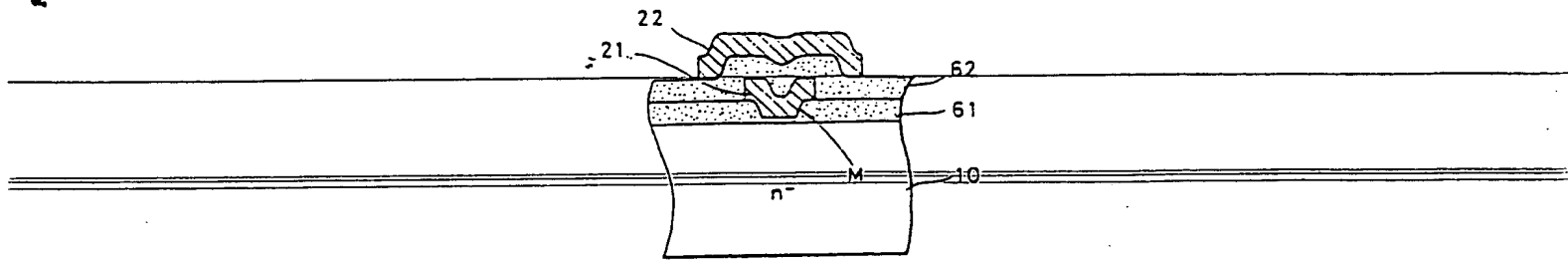
10, 11…半導体基板、21, 22, 23, 24, 71, 72…金属配線層、61, 62…誘

第1図

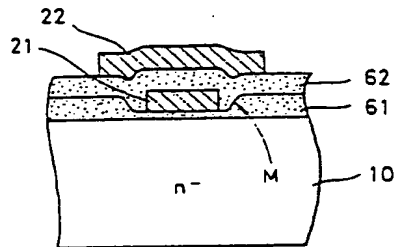


BEST AVAILABLE COPY

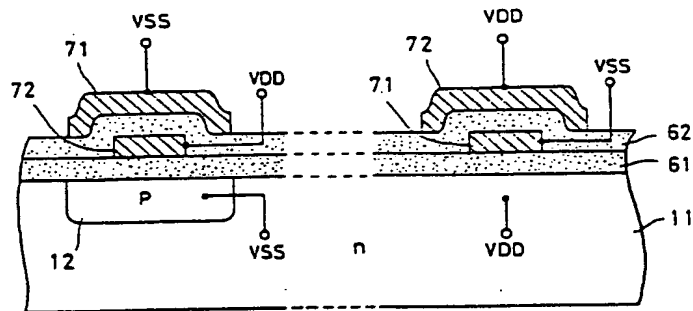
第 5 図



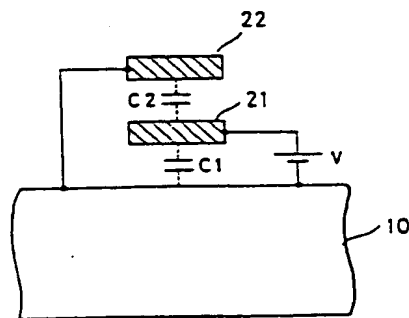
第 6 図



第 7 図



第 8 図



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)